

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-206335

(P2011-206335A)

(43) 公開日 平成23年10月20日(2011.10.20)

(51) Int.Cl.	F 1	テーマコード (参考)
A 6 1 B 1/04 (2006.01)	A 6 1 B 1/04 3 7 2	2 H 0 4 0
G 0 2 B 23/24 (2006.01)	G 0 2 B 23/24 B	4 C 0 6 1
H 0 4 N 5/225 (2006.01)	H 0 4 N 5/225 C	4 C 1 6 1
		5 C 1 2 2

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願2010-78147 (P2010-78147)
 (22) 出願日 平成22年3月30日 (2010. 3. 30)

(71) 出願人 306037311
 富士フイルム株式会社
 東京都港区西麻布2丁目26番30号
 (74) 代理人 100083116
 弁理士 松浦 憲三
 (72) 発明者 橋本 邦男
 神奈川県足柄上郡開成町宮台798番地
 富士フイルム株式会社内
 Fターム(参考) 2H040 GA02 GA06 GA10 GA11
 4C061 CC06 JJ11 LL02 NN01 SS03
 4C161 CC06 JJ11 LL02 NN01 SS03
 5C122 DA26 EA01 EA68 FC02 FK23
 FL05 GC86 GF04 HB01

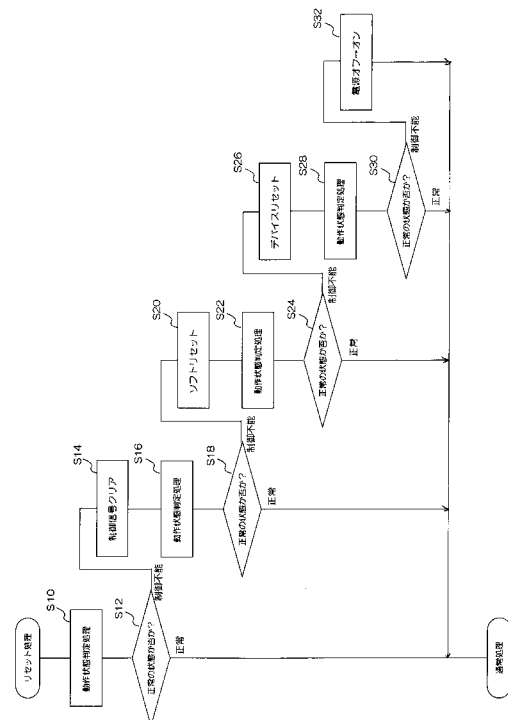
(54) 【発明の名称】 内視鏡装置におけるCMOS撮像素子のリセット方法

(57) 【要約】

【課題】内視鏡挿入部の先端に内視鏡画像を撮影するためのCMOS撮像素子を備えた内視鏡装置において、CMOS撮像素子が制御不能となった場合に、可能な限り迅速に正常な状態に復旧できるようにした内視鏡装置におけるCMOS撮像素子のリセット方法を提供する。

【解決手段】内視鏡挿入部の先端には、CMOSセンサ58と周辺回路が1チップに形成されたCMOS撮像素子が配置される。CMOS撮像素子が制御不能状態になった場合に、まず、レジスタを初期化するためのソフトリセットを実行する(ステップS20)。正常な状態に復旧しない場合には、デバイスリセットを実行する(ステップS26)。これによっても正常な状態に復旧しない場合には、電源を一旦停止させて再投入する(ステップS32)。

【選択図】 図6



【特許請求の範囲】**【請求項 1】**

内視鏡装置における挿入部の先端に内視鏡画像を撮影するためのＣＭＯＳ撮像素子を備え、前記ＣＭＯＳ撮像素子が制御不能状態となった場合に、前記ＣＭＯＳ撮像素子を正常な状態に回復させるための内視鏡装置におけるＣＭＯＳ撮像素子のリセット方法において、

前記ＣＭＯＳ撮像素子のレジスタを初期化するソフトリセットを実行する第１リセット工程と、

前記第１リセット工程により前記ＣＭＯＳ撮像素子が正常な状態に回復しなかった場合に、前記ＣＭＯＳ撮像素子の信号処理部を初期化するデバイスリセットを実行する第２リセット工程と、

前記第２リセット工程により前記ＣＭＯＳ撮像素子が正常な状態に回復しなかった場合に、前記ＣＭＯＳ撮像素子への電源供給を一旦停止させた後、電源供給を再開する第３リセット工程と、

を有することを特徴とする内視鏡装置におけるＣＭＯＳ撮像素子のリセット方法。

【請求項 2】

前記内視鏡装置は、前記ＣＭＯＳ撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記第１リセット工程は、前記ＣＭＯＳ撮像素子のシリアル通信端子に前記プロセッサ装置又は前記内視鏡装置内の制御回路から与えられる制御信号によって実行されることを特徴とする請求項 1 の内視鏡装置におけるＣＭＯＳ撮像素子のリセット方法。

【請求項 3】

前記内視鏡装置は、前記ＣＭＯＳ撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記第２リセット工程は、前記ＣＭＯＳ撮像素子のデバイスリセット端子に前記プロセッサ装置又は前記内視鏡装置内の制御回路から与えられるリセット信号によって実行されることを特徴とする請求項 1、又は、2 の内視鏡装置におけるＣＭＯＳ撮像素子のリセット方法。

【請求項 4】

前記内視鏡装置は、前記ＣＭＯＳ撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記第３リセット工程は、前記ＣＭＯＳ撮像素子の電源端子に前記プロセッサ装置又は前記内視鏡装置内の制御回路から与えられる供給電源の一時的な停止によって実行されることを特徴とする請求項 1、2、又は、3 の内視鏡装置におけるＣＭＯＳ撮像素子のリセット方法。

【請求項 5】

前記内視鏡装置は、前記ＣＭＯＳ撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記ＣＭＯＳ撮像素子が正常な状態か否かは、前記ＣＭＯＳ撮像素子のシリアル通信端子に前記プロセッサ装置又は前記内視鏡装置内の制御回路から送信した制御信号に対して前記ＣＭＯＳ撮像素子からの応答があるか否かで判断することを特徴とする請求項 1、2、3、又は、4 の内視鏡装置におけるＣＭＯＳ撮像素子のリセット方法。

【請求項 6】

前記内視鏡装置は、前記ＣＭＯＳ撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記ＣＭＯＳ撮像素子が正常な状態か否かは、前記ＣＭＯＳ撮像素子において前記撮像信号に前記ＣＭＯＳ撮像素子の動作状態を示す付加情報を含ませ、該付加情報を前記プロセッサ装置で読み取ることにより判断することを特徴とする請求項 1、2、3、又は、4 の内視鏡装置におけるＣＭＯＳ撮像素子のリセット方法。

【請求項 7】

前記内視鏡装置は、前記ＣＭＯＳ撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記ＣＭＯＳ撮像素子が正常な状態

10

20

30

40

50

か否かは、前記プロセッサ装置において前記撮像信号による内視鏡画像の変化に基づいて判断することを特徴とする請求項 1、2、3、又は、4 の内視鏡装置における CMOS 撮像素子のリセット方法。

【請求項 8】

前記第 2 リセット工程におけるデバイスリセットを禁止可能にしたことを特徴とする請求項 1 乃至 7 のうちのいずれか 1 の内視鏡装置における CMOS 撮像素子のリセット方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、内視鏡装置における CMOS 撮像素子のリセット方法に係り、特に内視鏡挿入部の先端に内視鏡画像を撮像する CMOS 撮像素子が用いられた内視鏡装置の CMOS 撮像素子をリセットするリセット方法に関する。

【背景技術】

【0002】

従来、医療分野において、内視鏡装置、例えば電子内視鏡を利用した検査が広く普及している。電子内視鏡には、被検体内に挿入される挿入部の先端に CCD センサや CMOS センサのようなイメージセンサが搭載され、コードやコネクタを介してプロセッサ装置（信号処理装置）に接続される。プロセッサ装置は、イメージセンサから得られた撮像信号に対して各種処理を施し、診断に供する内視鏡画像を生成する。内視鏡画像は、プロセッサ装置に接続されたモニタに表示される。

【0003】

内視鏡挿入部のイメージセンサとして従来では CCD センサが一般的に使用されていたが、近年では CMOS センサを使用することが検討されてきている（例えば特許文献 1 参照）。CMOS センサは CCD センサとは異なり、一般的な CMOS 製造プロセスにより、CMOS 撮像素子として同一チップ上に、信号処理回路、タイミングジェネレータ、A/D コンバータ、通信インターフェースなどの周辺回路も CMOS センサと共に形成することが可能である。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2009 - 201540 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、CCD センサを使用した内視鏡装置では、内視鏡挿入部の先端の CCD センサから離れた操作部の中継基板に、CCD センサの周辺回路が配置され、プロセッサ装置との間の信号の送受信は中継基板との間で行われており、CCD センサからの撮像信号は、アナログ信号により中継基板まで送られるようになっている。一方、上記のような CMOS 撮像素子を使用した内視鏡においては、内視鏡挿入部の先端の CMOS 撮像素子とプロセッサ装置との間、又は、中継基板との間で、直接、デジタル信号に変換された撮像信号の送信や、シリアル通信による制御信号の送受信が行われることになる。

【0006】

そのため、CMOS 撮像素子を使用した内視鏡においては撮像信号や制御信号の通信路の品質、CMOS 撮像素子の誤動作などが問題となる。特に内視鏡挿入部の先端では APC (Argon Plasma Coagulation) 処方が観察と併用される場合や、電気的な処置具が使用される場合などに電気ノイズの影響を受けやすく、CMOS 撮像素子が制御不能の状態に陥り、内視鏡画像を取得できない状態になる恐れがある。

【0007】

このような状態を回避する方法としては CMOS 撮像素子への電源供給を一旦オフして

10

20

30

40

50

初期状態に復帰させることが考えられるが、電源をオフするとオンした後に使用可能になるまでに時間がかかり過ぎるため、可能な限り迅速に復旧できるようにすることが望ましい。

【0008】

本発明はこのような事情に鑑みてなされたもので、内視鏡挿入部の先端に内視鏡画像を撮影するためのCMOS撮像素子を備えた内視鏡装置において、CMOS撮像素子が制御不能となった場合に、可能な限り迅速に正常な状態に復旧できるようにした内視鏡装置におけるCMOS撮像素子のリセット方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

前記目的を達成するために、請求項1に係る内視鏡装置におけるCMOS撮像素子のリセット方法は、内視鏡装置における挿入部の先端に内視鏡画像を撮影するためのCMOS撮像素子を備え、前記CMOS撮像素子が制御不能状態となった場合に、前記CMOS撮像素子を正常な状態に回復させるための内視鏡装置におけるCMOS撮像素子のリセット方法において、前記CMOS撮像素子のレジスタを初期化するソフトリセットを実行する第1リセット工程と、前記第1リセット工程により前記CMOS撮像素子が正常な状態に回復しなかった場合に、前記CMOS撮像素子の信号処理部を初期化するデバイスリセットを実行する第2リセット工程と、前記第2リセット工程により前記CMOS撮像素子が正常な状態に回復しなかった場合に、前記CMOS撮像素子への電源供給を一旦停止させた後、電源供給を再開する第3リセット工程と、を有することを特徴としている。

10

20

【0010】

本発明によれば、CMOS撮像素子が制御不能状態となった場合に、復旧に時間のかかる電源供給の停止によってリセットを行う前に部分的に初期化を行うソフトリセットとデバイスリセットを順に行うようにしたため、いずれかのリセット処理によってCMOS撮像素子が正常な状態に復旧した場合には復旧までの時間を大幅に短縮することができる。

【0011】

請求項2に係る内視鏡装置におけるCMOS撮像素子のリセット方法は、請求項1に係る発明において、前記内視鏡装置は、前記CMOS撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記第1リセット工程は、前記CMOS撮像素子のシリアル通信端子に前記プロセッサ装置又は前記内視鏡装置内の制御回路から与えられる制御信号によって実行されることを特徴としている。

30

【0012】

本発明によれば、第1リセット工程のソフトリセットはプロセッサ装置又は内視鏡装置内の制御回路からのシリアル通信による制御信号によってレジスタを初期化することにより行われる。

【0013】

請求項3に係る内視鏡装置におけるCMOS撮像素子のリセット方法は、請求項1、又は、2に係る発明において、前記内視鏡装置は、前記CMOS撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記第2リセット工程は、前記CMOS撮像素子のデバイスリセット端子に前記プロセッサ装置又は前記内視鏡装置内の制御回路から与えられるリセット信号によって実行されることを特徴としている。

40

【0014】

本発明によれば、第2リセット工程のデバイスリセットは、CMOS撮像素子のデバイスリセット端子にプロセッサ装置又は内視鏡装置内の制御回路から所定のリセット信号を与えることにより行われる。

【0015】

請求項4に係る内視鏡装置におけるCMOS撮像素子のリセット方法は、請求項1、2、又は、3に係る発明において、前記内視鏡装置は、前記CMOS撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記

50

第3リセット工程は、前記CMOS撮像素子の電源端子に前記プロセッサ装置又は前記内視鏡装置内の制御回路から与えられる供給電源の一時的な停止によって実行されることを特徴としている。

【0016】

本発明によれば、第3リセット工程の電源供給の停止と再開は、CMOS撮像素子の電源端子へのプロセッサ装置又は内視鏡装置内の制御回路からの供給電源の一時的な停止によって行われる。

【0017】

請求項5に係る内視鏡装置におけるCMOS撮像素子のリセット方法は、請求項1、2、3、又は、4に係る発明において、前記内視鏡装置は、前記CMOS撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記CMOS撮像素子が正常な状態か否かは、前記CMOS撮像素子のシリアル通信端子に前記プロセッサ装置又は前記内視鏡装置内の制御回路から送信した制御信号に対して前記CMOS撮像素子からの応答があるか否かで判断することを特徴としている。

10

【0018】

本発明によれば、CMOS撮像素子が正常な状態か否か、即ち、制御不能状態か否かの判断が、CMOS撮像素子とプロセッサ装置又は内視鏡装置内の制御回路との間のシリアル通信により行われる。

【0019】

請求項6に係る内視鏡装置におけるCMOS撮像素子のリセット方法は、請求項1、2、3、又は、4に係る発明において、前記内視鏡装置は、前記CMOS撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記CMOS撮像素子が正常な状態か否かは、前記CMOS撮像素子において前記撮像信号に前記CMOS撮像素子の動作状態を示す付加情報を含ませ、該付加情報を前記プロセッサ装置で読み取ることにより判断することを特徴としている。

20

【0020】

本発明によれば、CMOS撮像素子が正常な状態か否か、即ち、制御不能状態か否かの判断が、CMOS撮像素子からプロセッサ装置に出力される撮像信号に含まれる付加情報によって行われる。

【0021】

請求項7に係る内視鏡装置におけるCMOS撮像素子のリセット方法は、請求項1、2、3、又は、4に係る発明において、前記内視鏡装置は、前記CMOS撮像素子から出力された撮像信号を処理してモニタに内視鏡画像を表示させるプロセッサ装置に接続され、前記CMOS撮像素子が正常な状態か否かは、前記プロセッサ装置において前記撮像信号による内視鏡画像の変化に基づいて判断することを特徴としている。

30

【0022】

本発明によれば、CMOS撮像素子が正常な状態か否か、即ち、制御不能状態か否かの判断が、CMOS撮像素子からプロセッサ装置に出力される撮像信号による内視鏡画像の変化に基づいて行われる。

【0023】

請求項8に係る内視鏡装置におけるCMOS撮像素子のリセット方法は、請求項1乃至7のうちのいずれか1の発明において、前記第2リセット工程におけるデバイスリセットを禁止可能にしたことを特徴としている。

40

【0024】

本発明は、デバイスリセットが電気ノイズなどによって意図せずに行われてしまう不具合を未然に防止することを可能にしたものである。

【発明の効果】

【0025】

本発明によれば、内視鏡挿入部の先端に内視鏡画像を撮影するためのCMOS撮像素子を備えた内視鏡装置において、CMOS撮像素子が制御不能となった場合に、可能な限り

50

迅速に正常な状態に復旧できるようになる。

【図面の簡単な説明】

【0026】

【図1】内視鏡システムの概略構成を示した全体構成図

【図2】電子内視鏡の先端部を示した正面図

【図3】電子内視鏡の先端部を示した側面断面図

【図4】内視鏡装置プロセッサ装置とからなる内視鏡システムの制御系を構成を示したブロック図

【図5】CMOS撮像素子のリセットに関連する構成部を示したブロック図

【図6】CMOS撮像素子のリセット方法の手順を示したフローチャート

10

【発明を実施するための形態】

【0027】

以下、添付図面に従って本発明に係る内視鏡におけるCMOS撮像素子のリセット方法の好ましい実施の形態について詳説する。

【0028】

図1は本発明の一実施形態に係る内視鏡システムの概略構成を示した全体構成図である。図1に示すように、本実施形態の内視鏡システム10は、内視鏡装置（電子内視鏡、以下、内視鏡という。）12、プロセッサ装置14、光源装置16などから構成される。内視鏡12は、患者（被検体）の体腔内に挿入される可撓性の挿入部20と、挿入部20の基端部分に連設された操作部22と、プロセッサ装置14及び光源装置16に接続されるユニバーサルコード24とを備えている。

20

【0029】

挿入部20の先端には、体腔内撮影用のCMOS撮像素子（撮像チップ）54（図3参照）などが内蔵された先端部26が連設されている。先端部26の後方には、複数の湾曲駒を連結した湾曲部28が設けられている。湾曲部28は、操作部22に設けられたアングルノブ30が操作されて、挿入部20内に挿設されたワイヤが押し引きされることにより、上下左右方向に湾曲動作する。これにより、先端部26が体腔内の所望の方向に向けられる。

【0030】

ユニバーサルコード24の基端は、コネクタ36に連結されている。コネクタ36は、複合タイプのものであり、コネクタ36にはプロセッサ装置14が接続される他、光源装置16が接続される。

30

【0031】

プロセッサ装置14は、ユニバーサルコード24内に挿通されたケーブル68（図3参照）を介して電子内視鏡12に給電を行い、CMOS撮像素子54の駆動を制御するとともに、CMOS撮像素子54からケーブル68を介して伝送された撮像信号を受信し、受信した撮像信号に各種信号処理を施して画像データに変換する。プロセッサ装置14で変換された画像データは、プロセッサ装置14にケーブル接続されたモニタ38に内視鏡画像として表示される。また、プロセッサ装置14は、コネクタ36を介して光源装置16と電氣的に接続され、内視鏡システム10の動作を統括的に制御する。

40

【0032】

図2は電子内視鏡12の先端部26を示した正面図である。図2に示すように、先端部26の先端面26aには、観察窓40、照明窓42、鉗子出口44、及び送気・送水用ノズル46が設けられている。観察窓40は、先端部26の片側中央に配置されている。照明窓42は、観察窓40に関して対称な位置に2個配され、体腔内の被観察部位に光源装置16からの照明光を照射する。鉗子出口44は、挿入部20内に配設された鉗子チャンネル70（図3参照）に接続され、操作部22に設けられた鉗子口34（図1参照）に連通している。鉗子口34には、注射針や高周波メスなどが先端に配された各種処置具が挿通され、各種処置具の先端が鉗子出口44から露呈される。送気・送水用ノズル46は、操作部22に設けられた送気・送水ボタン32（図1参照）の操作に応じて、光源装置1

50

6 に内蔵された送気・送水装置から供給される洗浄水や空気を、観察窓 40 や体腔内に向けて噴射する。

【0033】

図 3 は内視鏡 12 の先端部 26 を示した側面断面図である。図 3 に示すように、観察窓 40 の奥には、体腔内の被観察部位の像光を取り込むための対物光学系 50 を保持する鏡筒 52 が配設されている。鏡筒 52 は、挿入部 20 の中心軸に対物光学系 50 の光軸が平行となるように取り付けられている。鏡筒 52 の後端には、対物光学系 50 を経由した被観察部位の像光を、略直角に曲げて撮像チップ 54 に向けて導光するプリズム 56 が接続されている。

【0034】

CMOS 撮像素子 54 は、CMOS センサ 58 と、CMOS センサ 58 の駆動及び信号の入出力を行う周辺回路とが一体形成されたモノリシック半導体（いわゆる CMOS センサチップ）であり、支持基板 62 上に実装されている。CMOS センサ 58 の撮像面 58a は、プリズム 56 の出射面と対向するように配置されている。撮像面 58a 上には、矩形枠状のスペーサ 63 を介して矩形板状のカバーガラス 64 が取り付けられている。CMOS センサ 58、スペーサ 63、及びカバーガラス 64 は、接着剤を介して組み付けられている。これにより、塵埃などの侵入から撮像面 58a が保護されている。

【0035】

挿入部 20 の後端に向けて延設された支持基板 62 の後端部には、複数の入出力端子 62a が支持基板 62 の幅方向に並べて設けられている。入出力端子 62a には、ユニバーサルコード 24 を介してプロセッサ装置 14 との各種信号の遣り取りを媒介するための信号線 66 が接合されており、入出力端子 62a は、支持基板 62 に形成された配線やボンディングパッド等（図示せず）を介して CMOS 撮像素子 54 内の周辺回路 60 と電気的に接続されている。信号線 66 は、可撓性の管状のケーブル 68 内にまとめて挿通されている。ケーブル 68 は、挿入部 20、操作部 22、及びユニバーサルコード 24 の各内部を挿通し、コネクタ 36 に接続されている。

【0036】

また、図示は省略したが、照明窓 42 の奥には、照明部が設けられている。照明部には、光源装置 16 からの照明光を導くライトガイドの出射端が配されている。ライトガイドは、ケーブル 68 と同様に、挿入部 20、操作部 22、及びユニバーサルコード 24 の各内部を挿通し、コネクタ 36 に入射端が接続されている。

【0037】

図 4 は上記内視鏡システム 10 における内視鏡 12 及びプロセッサ装置 14 の構成を示したブロック図である。

【0038】

同図に示すよう内視鏡 12（挿入部 20）の先端部 26 には、CMOS センサ 58 と周辺回路とが同一チップに形成された CMOS 撮像素子 54 が内蔵されており、周辺回路として、アナログ信号処理回路（AFE）100、フォーマット変換回路 102、レジスタ 106、タイミングジェネレータ（TG）104、インターフェース回路 108 等を備えている。

【0039】

CMOS センサ 58 は、マトリクス状に配置される各画素ごとに形成されるフォトダイオードとフォトダイオードにより蓄積された信号電荷を電圧信号に変換する電圧変換回路と、電圧変換回路から電圧信号を読み出す画素のアドレス（位置）を指定する走査回路（垂直走査回路及び水平走査回路）と、走査回路によって読み出された画素の電圧信号を順に出力する出力回路とを備えている。

【0040】

AFE 100 は、相関二重サンプリング回路（CDS）、自動ゲイン回路（AGC）、及びアナログ/デジタル変換器（A/D）から構成されている。CDS は、CMOS センサ 58 の各画素から順次読み出された画素信号からなる撮像信号に対して相関二重サン

10

20

30

40

50

リング処理を施し、CMOSセンサ58で生じるリセット雑音およびアンプ雑音の除去を行う。AGCは、CD5によりノイズ除去が行われた撮像信号を、プロセッサ装置14から指定されるゲイン(増幅率)で増幅する。A/Dは、AGCにより増幅された撮像信号を、所定のビット数のデジタル信号に変換して出力する。A/Dでデジタル化されて出力された撮像信号(デジタル撮像信号)は、フォーマット変換回路102によりプロセッサ装置14との間で決められた所定フォーマットの信号に変換され、プロセッサ装置14に送信される。

【0041】

タイミングジェネレータ(TG)104は、CMOSセンサ58から画素信号を読み出すための駆動パルスやAFE100等の各部の同期パルスを発生させる。

10

【0042】

レジスタ106は、CMOS撮像素子54における各部の処理内容を決定するパラメータを記憶するメモリであり、このパラメータに従って各部の処理が実行される。

【0043】

インターフェース回路108は、CMOS撮像素子54の外部からのCMOS撮像素子54の各部の処理内容を設定する制御信号(コマンド)や基本クロック等を入力し、レジスタ106で設定されているパラメータの情報等を外部に出力する。インターフェース回路108にコマンドが入力されると、そのコマンドに従って上記レジスタ106にパラメータが設定される。基本クロックは上記TG104に与えられ、これを基準に各部に供給するパルスが生成される。

20

【0044】

また、必ずしも設けられるものではないが、内視鏡12の操作部22には、中継基板110が搭載されている。この中継基板110は、主に操作部22に電気的な処理に関するスイッチ等が設けられる場合や、CMOSセンサ58に被写体像を結像する対物光学系50(図3参照)のズーム制御やフォーカス制御を行う場合にCPU112を備え、そのCPU112によりスイッチの状態の検出が行われ、CPU112と図示しない駆動回路により対物光学系50の制御が行われるようになっている。CPU112は、プロセッサ装置14のCPU200と図示しないインターフェース回路で接続されており、プロセッサ装置14において行われる処理に関するスイッチ状態の情報がCPU200に送信され、スイッチの状態に応じた処理がCPU200により実行されるようになっている。

30

【0045】

プロセッサ装置14は、CPU200、画像処理回路208、表示制御回路210等を備えている。CPU200は、プロセッサ装置14内の各部の動作を統括制御し、また、上記のように内視鏡12との間で各種信号のやり取りを行う。例えば、CMOS撮像素子54に対して制御信号や基本クロック等を与え、CMOS撮像素子54から制御情報を取得する。

【0046】

画像処理回路208は、入力された撮像信号に対して色分離、色補間、ゲイン補正、ホワイトバランス調整、ガンマ補正、輪郭強調処理、明度の調整処理などのプロセッサ装置14において行われる画像処理に関する回路を簡略化して1つの回路で示したものである。画像処理回路208に入力した撮像信号に対して画像処理が施されて得られた画像データは後段の表示制御回路128に入力される。

40

【0047】

表示制御回路210は、画像処理回路208から入力された画像データからモニタ38の表示形式に応じた映像信号を生成し、モニタ38に出力する。これにより、モニタ38にはCMOS撮像素子54により撮影された内視鏡画像が表示される。

【0048】

電源回路212は、プロセッサ装置14の各部、内視鏡12のCMOS撮像素子54及び中継基板110に必要な電圧の電源を供給する回路である。

【0049】

50

尚、CMOS撮像素子54のインターフェース回路108にはプロセッサ装置14のCPU200が直接接続されるのではなく、内視鏡12内の中継基板110のCPU112が接続される構成のものもあり、プロセッサ装置14のCPU200と、CMOS撮像素子54との間の信号のやり取りはCPU112を中継して行われる場合や、CPU112がCMOS撮像素子54の制御を行う場合もある。以下に説明するリセットに関する制御は全てをプロセッサ装置14のCPU200の指示に基づいて行われるものとするが、その一部又は全てをCPU200ではなくて、内視鏡12内部のCPU112(制御回路)が行う場合であっても良い。

【0050】

上記のごとく構成された内視鏡システム10の内視鏡12におけるCMOS撮像素子54のリセット方法に関して説明する。

【0051】

図5は、CMOS撮像素子54において、リセットに関連する構成部と、プロセッサ装置14と間の接続線を示したブロック図である。同図には、CMOS撮像素子54の内部には、図4のAFE100、フォーマット変換回路102等の信号処理に関する構成部を示す映像処理部(信号処理部)300と、図4のレジスタ106と、図4のインターフェース回路108のうちのCPU200とシリアル通信を行う通信インターフェース(通信IF)302が示されている。また、CMOS撮像素子54にはチップ端子としてシリアル通信端子310、デバイスリセット端子312、電源端子314が設けられており、プロセッサ装置14のCPU200とシリアル通信端子310とを接続するシリアル通信線320、CPU200とデバイスリセット端子312とを接続するデバイスリセット線322、及び、プロセッサ装置14の電源回路212と電源端子314とを接続する電源供給線324が示されている。

【0052】

レジスタ106は、上記のようにCMOSセンサ58の制御内容や映像処理部300の処理内容を決定する値(VH幅やシャッター速度など)を格納するメモリであり、CMOS撮像素子54の各部はレジスタ106の値を参照してレジスタ106の値に従った処理を実行する。

【0053】

通信IF302は、CMOS撮像素子54内部においてシリアル通信端子310と内部で接続されており、上記のようにプロセッサ装置14のCPU200からシリアル通信線を通じて制御信号(コマンド)を受信すると、デコードして制御信号の内容に従った設定値をレジスタ106に設定する。これによって、映像処理部300等の各部において、制御信号によって指示された処理が実行される。

【0054】

図5のような構成を有するCMOS撮像素子54において、制御不能な状態となったときのリセット方法の手順を図6のフローチャートに示す。

【0055】

例えば、CMOS撮像素子54による撮影が実行されている際に、プロセッサ装置14のCPU200は、通常の処理として、シリアル通信線320を通じて所定の制御指示を与える制御信号をCMOS撮像素子54に送信すると、その制御信号を受信したことを示す応答信号がCMOS撮像素子54から送信されるのを待機する。もし所定時間が経過しても応答信号が送信されてこない場合には、再度、同じ制御信号を送信して応答信号が送信されるのを待機する。そして、応答信号が送信されてこない間はこの処理を所定回まで繰り返す(ステップS10)。尚、この処理をCMOS撮像素子54の動作状態判定処理と称す。

【0056】

CPU200は、上記のCMOS撮像素子54の動作状態判定処理を行った結果、最終的にCMOS撮像素子54から応答信号が得られたか否かによってCMOS撮像素子54が正常な状態か異常な状態(制御不能状態)かを判定する(ステップS12)。もし、正

10

20

30

40

50

常な状態と判定した場合には通常の処理（通常処理）に移行する。

【0057】

一方、制御不能状態と判定した場合には、まず、シリアル通信線上に乗ったノイズが原因で不正な制御信号が通信IF302に与えられていた可能性があるため、通信IF302に蓄積された制御信号を除去するための制御信号を送信する（ステップS14）。

【0058】

そして、ステップS10、S12と同様に動作状態判定処理を実行し（ステップS16）、CMOS撮像素子54が正常な状態か否かを判定する（ステップS18）。

【0059】

ステップS18において、正常な状態と判定した場合には通常処理に移行し、制御不能状態と判定した場合には、CMOS撮像素子54の問題と認識し、リセットするための以下の処理を順次行う。

【0060】

まず、CPU200は高速で通常動作に復帰できるソフトリセットを実行する（ステップS20）。ソフトリセットは、CPU200からシリアル通信線320を通じてソフトリセットを実行させる制御信号を送信することにより実行され、その制御信号を通信IF302が受信すると、レジスタ106に記録されているデータが全て初期化される。そして、ステップS10、S12と同様に動作状態判定処理を実行し（ステップS22）、CMOS撮像素子54が正常な状態か否かを判定する（ステップS24）。もし、正常な状態と判定した場合には、リセットに関する処理を終了し通常処理に移行する。

【0061】

一方、ステップS24において制御不能状態と判定した場合には、次にCPU200は、デバイスリセットを実行する（ステップS26）。デバイスリセットは、図5に示したようにCMOS撮像素子54のチップ端子として設けられているデバイスリセット端子312に所定のリセット信号（パルス信号）を送信することによって行われ、このデバイスリセットによって映像処理部300が初期化される。そして、ステップS10、S12と同様に動作状態判定処理を実行し（ステップS28）、CMOS撮像素子54が正常な状態か否かを判定する（ステップS30）。もし、正常な状態と判定した場合には、リセットに関する処理を終了し通常処理に移行する。

【0062】

更に、ステップS24において制御不能状態と判定した場合には、CMOS撮像素子54の全体の問題として、CPU200は、電源回路212からCMOS撮像素子54の電源端子314への電源供給線324からの電源供給を一旦停止（オフ）させ、所定時間経過した後、電源供給を再開（オン）する（ステップS32）。

【0063】

電源供給を一旦停止させて再投入した場合にはCMOS撮像素子54が故障していない限り正常状態への復旧は確実であるため、以後通常処理に移行する。

【0064】

尚、上記ソフトリセット（ステップS20）、デバイスリセット（ステップS26）、電源供給の停止及び再開（ステップS32）のいずれかのリセット処理を行った後は、レジスタ106の設定値を再設定する必要があり、各々のリセット処理によってCMOS撮像素子54が正常な状態となったと判定して通常処理に移行した後にその再設定を行うようにしてもよいが、ソフトリセットの実行後とデバイスリセットの実行後において動作状態判定処理を実行する際にCPU200からCMOS撮像素子54に送信する制御信号によって動作状態判定処理と共にレジスタ106の再設定を行うようにしてもよい。

【0065】

また、上記の動作状態判定処理の方法は一例であって、CMOS撮像素子54が正常な状態か否かを判定する方法は他の方法を用いてもよい。例えば、CMOS撮像素子54から出力される撮像信号は、デジタル信号であり、撮像信号に所望の付加情報を含ませることが可能である。そこで、撮像信号にCMOS撮像素子54の動作状態を示す情報を付加

10

20

30

40

50

情報として含ませておき、プロセッサ装置 14 において CMOS 撮像素子 54 から取得した撮像信号の中から付加情報を抽出し、CPU 200 がその付加情報に基づいて CMOS 撮像素子 54 の動作状態が正常か否かを判定することもできる。また、CMOS 撮像素子 54 から取得した撮像信号により生成される内視鏡画像（動画）の変化を CPU 200 で監視し、その変化に基づいて CMOS 撮像素子 54 が正常か否かを判定することもできる。例えば、内視鏡画像に変化がない場合などに CMOS 撮像素子 54 が正常の状態ではないと判定することもできる。

【0066】

また、上記実施の形態において CMOS 撮像素子 54 のデバイスリセット端子 312 に接続されるデバイスリセット線 322 にノイズが乗り、意図せずにデバイスリセットが実行される恐れがある。そこで、レジスタ 106 の所定アドレスの設定値によってデバイスリセットが可能な状態と禁止の状態とで切り換えられるようにし（図 6 におけるレジスタのスイッチ 330 がこれに相当）、電源投入後の初期状態ではデバイスリセットを可能な状態とし、CPU 200 から通信 IF 302 に送信する制御信号によりレジスタ 106 の設定値を書き換えることによりデバイスリセットを禁止の状態に切り換えられるようにしてもよい。

【0067】

また、上述のように、CMOS 撮像素子 54 のインターフェース回路 108（通信 IF 302）にはプロセッサ装置 14 の CPU 200 が直接接続されるのではなく、内視鏡 12 内の中継基板 110 の CPU 112 等の内視鏡 12 内の制御回路が接続される構成のものもあり、プロセッサ装置 14 の CPU 200 と、CMOS 撮像素子 54 との間の信号のやり取りは内視鏡 12 内の制御回路を中継して行われる場合や、内視鏡 12 内の制御回路が CMOS 撮像素子 54 の制御を行う場合もある。この場合において、上記のリセットに関する制御の一部又は全てを CPU 200 ではなくて、内視鏡 12 内の制御回路が行うようにしてもよい。また、CMOS 撮像素子 54 への電源供給の実行と停止は、CMOS 撮像素子 54 のインターフェース回路 108 にプロセッサ装置 14 の CPU 200 が直接接続されている態様と、内視鏡内の制御回路が接続されている態様のいずれにかかわらず、内視鏡 12 内の制御回路で管理している場合があり、その場合には、上記のリセット方法の手順における CMOS 撮像素子 54 への電源供給の実行と停止に関する制御は内視鏡 12 内の制御回路が行うことになる。さらに上述の CPU 112、中継基板 110、制御回路は、内視鏡 12 のユニバーサルコード 24 のコネクタ 36 等の位置に設けられる場合もあり、操作部 22 の位置に設けられる場合に限らない。

【符号の説明】

【0068】

10 ... 内視鏡システム、12 ... 内視鏡装置（内視鏡）、14 ... プロセッサ装置、16 ... 光源装置、20 ... 挿入部、22 ... 操作部、26 ... 先端部、28 ... 湾曲部、36 ... コネクタ、38 ... モニタ、54 ... CMOS 撮像素子、58 ... CMOS センサ、100、300 ... AFE、102、302 ... フォーマット変換回路 104、304 ... タイミングジェネレータ、106 ... レジスタ、108 ... インターフェース回路、110 ... 中継基板、200、312 ... CPU、202、204 ... スイッチ回路、206 ... 画像メモリ、208 ... 画像処理回路、210 ... 表示制御回路、300 ... 映像処理部、302 ... 通信インターフェース、310 ... シリアル通信端子、312 ... デバイスリセット端子、314 ... 電源端子、320 ... シリアル通信線、322 ... デバイスリセット線、324 ... 電源供給線

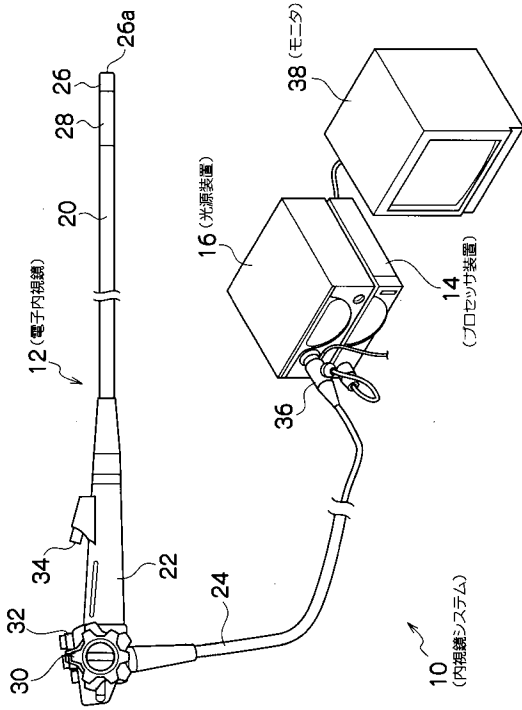
10

20

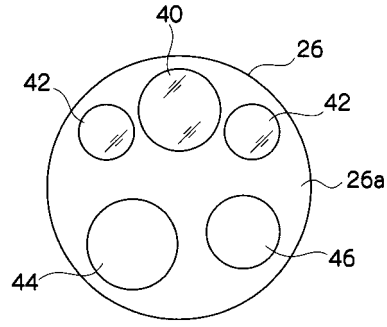
30

40

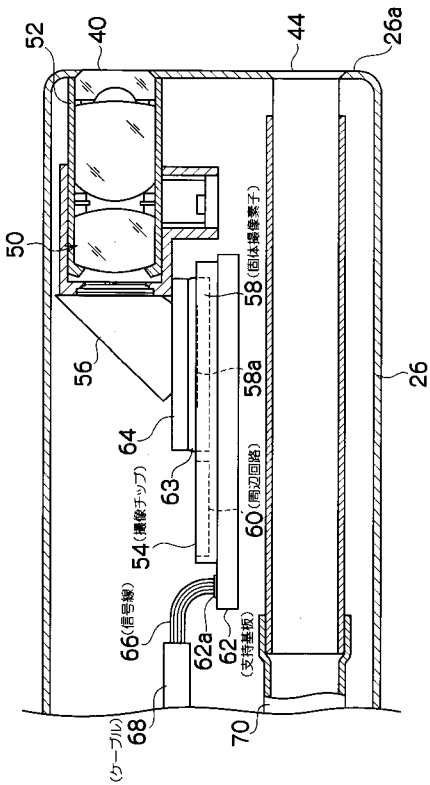
【図 1】



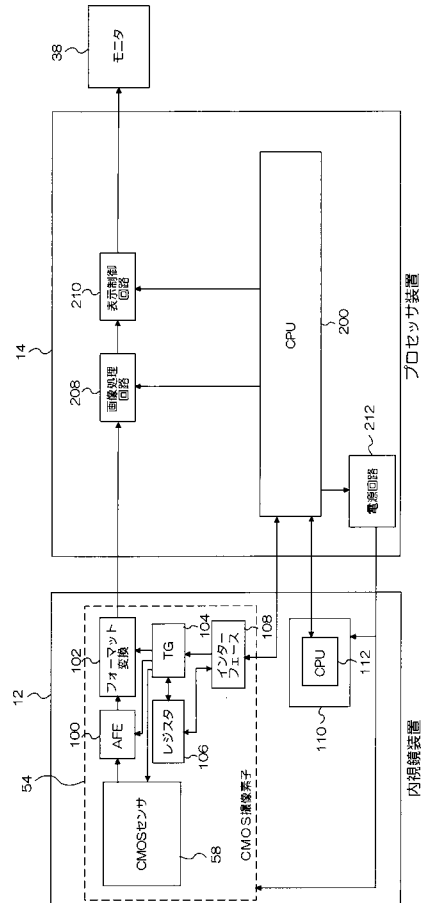
【図 2】



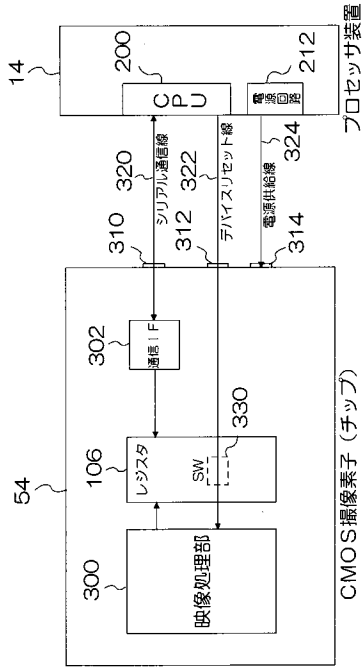
【図 3】



【図 4】



【図5】



【図6】

